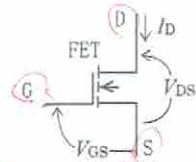


B = 2 次の記述は、図に示す原理的なエンハンスメント形電界効果トランジスタ (FET) について述べたものである。□ 内に入れるべき字句を下の番号から選べ。

- (1) FETの構造は、ア チャンネルの イ 形である。
 (2) 一般に、ゲート・ソース間には、ウ の電圧を加えて用いる。
 (3) FETの相互コンダクタンス g_m は、電圧及び電流の変化分を Δ とすれば $g_m = \frac{\Delta I_d}{\Delta V_{GS}}$ で表される。
 (4) $V_{GS} = 0$ [V] のとき I_d は オ 。



D: ドレイン
 S: ソース
 G: ゲート
 V_{DS} : D-S 間電圧 [V]
 V_{GS} : G-S 間電圧 [V]
 I_d : ドレイン電流 [A]

- | | | | | |
|-----|-------|------------------|--------------------------------|--------|
| 1 N | 2 接合 | 3 Gに正(+), Sに負(-) | 4 $\Delta I_d / \Delta V_{DS}$ | 5 流れない |
| 6 P | 7 MOS | 8 Gに負(-), Sに正(+) | 9 $\Delta I_d / \Delta V_{GS}$ | 10 流れる |

MOS
 I_d
 V_{GS}

1 7 3 9 5
 フィルタイン
 インバースト
 17にも電流が流れる

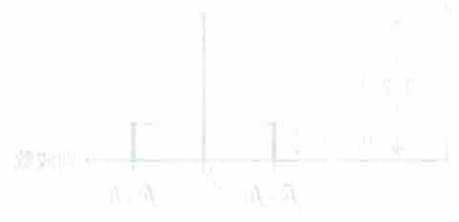
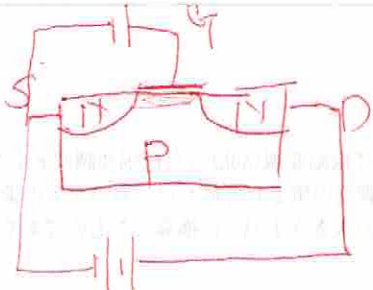
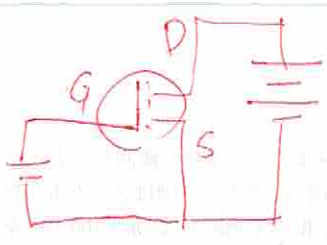


図1は、図2に示す原理的なエンハンスメント形電界効果トランジスタ (FET) の特性を示している。図1の縦軸はドレイン電流 I_d [A]、横軸はゲート・ソース間電圧 V_{GS} [V] である。

図1より、 $V_{GS} = 0$ [V] のとき $I_d = 0$ [A] である。また、 $V_{GS} > V_{th}$ [V] のとき、 I_d は V_{GS} の2乗に比例して増加する。このときの電流-電圧特性は、図1の破線部分に示すように、 $I_d = k(V_{GS} - V_{th})^2$ で表される。

図1の破線部分に示すように、 $V_{GS} > V_{th}$ [V] のとき、 I_d は V_{GS} の2乗に比例して増加する。

図1の破線部分に示すように、 $V_{GS} > V_{th}$ [V] のとき、 I_d は V_{GS} の2乗に比例して増加する。このときの電流-電圧特性は、図1の破線部分に示すように、 $I_d = k(V_{GS} - V_{th})^2$ で表される。

図1の破線部分に示すように、 $V_{GS} > V_{th}$ [V] のとき、 I_d は V_{GS} の2乗に比例して増加する。

図1の破線部分に示すように、 $V_{GS} > V_{th}$ [V] のとき、 I_d は V_{GS} の2乗に比例して増加する。

図1の破線部分に示すように、 $V_{GS} > V_{th}$ [V] のとき、 I_d は V_{GS} の2乗に比例して増加する。



図1の破線部分に示すように、 $V_{GS} > V_{th}$ [V] のとき、 I_d は V_{GS} の2乗に比例して増加する。