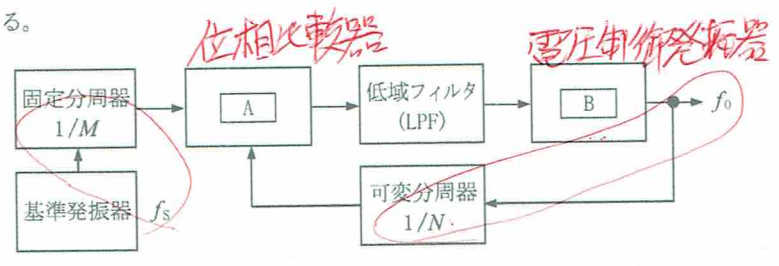


A-8 次の記述は、図に示す位相同期ループ(PLL)を用いた周波数シンセサイザ発振器の原理的な構成例について述べたものである。
 □ 内に入れるべき字句の正しい組合せを下の番号から選べ。なお、同じ記号の □ 内には、同じ字句が入るものとする。

- (1) PLLは、二つの入力信号を比較する □ A □、この出力に含まれる不要な成分を除去するための低域フィルタ(LPF)及びその出力に応じた周波数の信号を発振する □ B □ の三つの主要部分で構成される。
 (2) 基準発振器の出力の周波数 f_s を 3.2 [MHz]、固定分周器の分周比 $1/M$ を $1/128$ 、可変分周器の分周比 $1/N$ を $1/6,800$ としたとき、出力の周波数 f_o は、□ C □ [MHz] になる。

	A	B	C
1	位相比較器	電圧制御発振器	145
2	位相比較器	電圧制御発振器	170
3	位相比較器	水晶発振器	145
4	振幅比較器	水晶発振器	145
5	振幅比較器	電圧制御発振器	170



Handwritten block diagram and calculations:

```

  入力 → 位相比較器 → 低域フィルタ → 電圧制御発振器 → 出力
  
```

$$\frac{f_s}{M} = \frac{f_o}{N}$$

$$f_o = \frac{N}{M} f_s$$

$$\frac{6800}{128} \times 3.2 = 170$$

$$\begin{array}{r} 53.125 \\ \times 3.2 \\ \hline 106250 \\ 159375 \\ \hline 170000 \end{array}$$

$$\begin{array}{r} 128 \overline{) 6800} \\ \underline{640} \\ 400 \\ \underline{384} \\ 160 \\ \underline{128} \\ 320 \\ \underline{256} \\ 640 \\ \underline{640} \\ 0 \end{array}$$